

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-007443

(43)Date of publication of application : 08.01.2004

(51)Int.Cl. H04B 1/04
H04L 27/12
H04L 27/20

(21)Application number : 2003-054042

(71)Applicant : RENESAS TECHNOLOGY CORP
TTPCOM LTD

(22)Date of filing : 28.02.2003

(72)Inventor : TAKANO RYOICHI
HIKASA KAZUHIKO
KIMURA YASUYUKI
HAGISAWA HIROSHI
WURM PATRICK
HENSHAW ROBERT ASTLE
FREEBOROUGH DAVID

(30)Priority

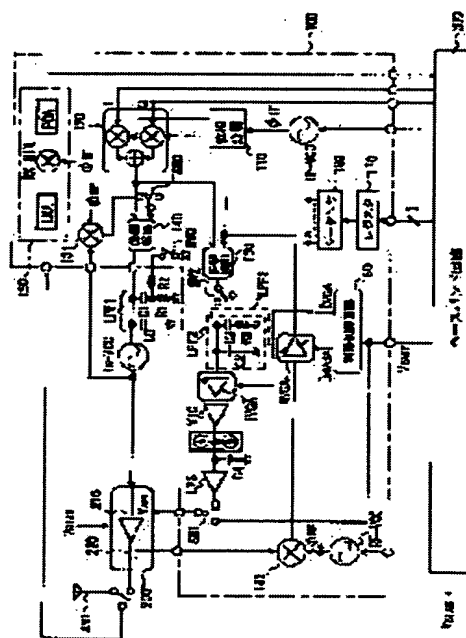
Priority number : 2002 200212729 Priority date : 31.05.2002 Priority country : GB

(54) RADIO COMMUNICATION APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a radio such as a cellular telephone communication apparatus which has a function of performing phase modulation and amplitude modulation, and is capable of improving the modulation accuracy of a transmission waveform and spectral regrowth and capable of satisfactorily suppressing noises over a reception frequency band.

SOLUTION: The radio communication apparatus employs a polar loop system having a phase control loop for controlling the phase of a carrier wave outputted from a transmission oscillator (TxVCO), and an amplitude control loop for controlling the amplitude of a transmission output signal outputted from a power amplifier circuit (210). The apparatus is constituted in such a way that transmission in a GMSK (Gaussian minimum shift keying) mode and transmission in an 8-PSK mode. This apparatus shares a phase control loop used in the GMSK modulation mode and a phase control loop used in the 8-PSK modulation mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2004-7443

(P2004-7443A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷

F 1

テーマコード (参考)

H04B 1/04

HO4B 1/04

J

5K004

HO4L 27/12

HO 4 B 1/04

E

5 K 0 6 0

HO4L 27/20

H04 L 27/12

B

HO 4 L 27/20

$$\mathbf{Z}$$

審査請求 未請求 請求項の数 13 O L (全 25 頁)

(21) 出願番号 特願2003-54042 (P2003-54042)
 (22) 出願日 平成15年2月28日 (2003. 2. 28)
 (31) 優先権主張番号 0212729.8
 (32) 優先日 平成14年5月31日 (2002. 5. 31)
 (33) 優先権主張国 イギリス (GB)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号

(71) 出願人 500385980
ティーティーピー コム リミテッド
イギリス国、ハートフォードシャー エス
ジー8 6イーイー、ロイストン、メルボ
ルン、ケンブリッジ ロード、メルボルン
サイエンス パーク (番地なし)

(74) 代理人 100085811
弁理士 大日方 富雄

(72) 発明者 高野 亮一
東京都小平市上水本町五丁目20番1号
株式会社日立製作所半導体グループ内

最終頁に続く

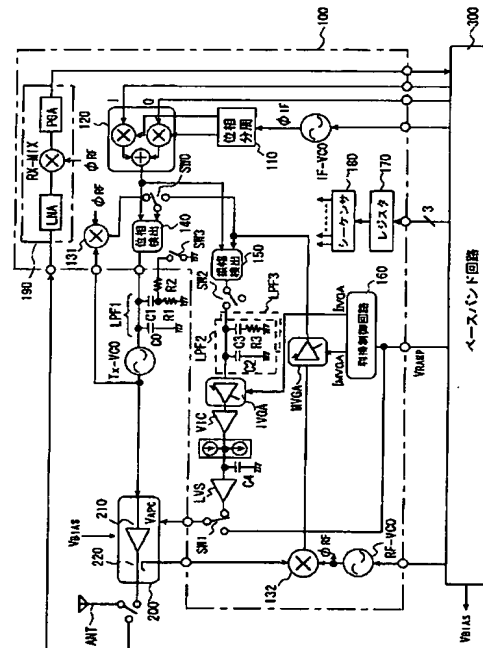
(54) 【発明の名称】 無線通信装置

(57) 【要約】

【課題】位相変調と振幅変調を行なう機能を有し、送信波形の変調精度およびスペクトラル・リグロースを向上させるとともに受信周波数帯へ及びノイズを十分に抑制することができる携帯電話器のような無線通信装置を提供する。

【解決手段】送信用発振器（Tx VCO）から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路（210）から出力される送信出力信号の振幅を制御する振幅制御ループとを有するポーラーループ方式を採用し、GMSK変調モードによる送信と8-PSK変調モードによる送信が可能に構成された無線通信装置において、GMSK変調モードで使用する位相制御ループと、8-PSK変調モードで使用する位相制御ループとを共用するようにした。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有する無線通信装置であって、

位相変調を行なう第 1 の変調モードによる送信と位相および振幅の変調を行なう第 2 の変調モードによる送信とが可能であり、前記第 1 の変調モードで使用する位相制御ループと、前記第 2 の変調モードで使用する位相制御ループとを共用するように構成されていることを特徴とする無線通信装置。

【請求項 2】

前記第 2 の変調モードで使用する位相制御ループの周波数帯域と振幅制御ループの周波数帯域は同一であることを特徴とする請求項 1 に記載の無線通信装置。

【請求項 3】

前記第 1 の変調モードで使用する位相制御ループの周波数帯域は、前記第 2 の変調モードで使用する位相制御ループおよび振幅制御ループの周波数帯域よりも狭くなるように設定されていることを特徴とする請求項 1 または 2 に記載の無線通信装置。

【請求項 4】

前記位相制御ループには、前記送信用発振器から出力される送信信号を検出する送信信号検出手段と、

該送信信号検出手段により検出され帰還された信号と変調回路で変調された信号の位相差を検出する位相検出回路と、

該位相検出回路で検出された位相差に応じた電圧を保持するループフィルタとが設けられ、該ループフィルタの保持電圧により前記送信用発振器の発振動作が制御されるように構成され、

前記位相制御ループの周波数帯域は、前記ループフィルタの定数によって設定されることを特徴とする請求項 1 から 3 のいずれかに記載の無線通信装置。

【請求項 5】

前記位相検出回路は、デジタル位相検出回路とアナログ位相検出回路とを含み、

送信開始時には先ずデジタル位相検出回路により位相制御ループの引込みが行なわれた後、出力増幅の開始前または開始後に前記アナログ位相検出回路により位相制御ループがロックされるように構成されていることを特徴とする請求項 1 から 4 のいずれかに記載の無線通信装置。

【請求項 6】

前記デジタル位相検出回路またはアナログ位相検出回路のいずれかの前段には帰還信号または変調回路からの信号のいずれかの位相を 90 度シフトさせる位相シフト回路が設けられていることを特徴とする請求項 5 に記載の無線通信装置。

【請求項 7】

前記振幅制御ループに、

前記電力増幅回路から出力される送信出力信号を検出する送信出力検出手段と、

該送信出力検出手段により検出され帰還された信号と変調回路で変調された信号の振幅差を検出する前記振幅検出回路と、

該振幅検出回路で検出された振幅差に応じた電圧を保持する第 2 ループフィルタと、

前記送信出力検出手段から前記振幅検出回路までのフィードバックパス上に設けられ前記送信出力検出手段により検出された信号を増幅する第 1 の可変利得増幅回路と、

前記第 2 ループフィルタから前記電力増幅回路までのフォワードパス上に設けられた第 2 の可変利得増幅回路と、

を備え、

前記第 2 変調モードでは、前記第 1 の可変利得増幅回路のゲインが出力制御電圧に応じて変化されるとともに、前記第 2 の可変利得増幅回路は前記第 1 の可変利得増幅回路と逆方向にゲインが制御されるように構成されていることを特徴とする請求項 1 から 6 のいずれ

10

20

30

40

50

かに記載の無線通信装置。

【請求項 8】

前記第 2 変調モードで必要な周波数帯域を与える第 1 のフィルタと、
該第 1 のフィルタにより規定される周波数帯域よりも狭い周波数帯域を与える第 2 のフィルタと、
前記第 1 のフィルタと第 2 のフィルタの切替えを行なう切替え手段とが、
前記振幅制御ループの周波数帯域を与える前記第 2 ループフィルタとして設けられ、
前記電力増幅回路が、前記第 1 変調モードにおいて前記第 2 ループフィルタとして前記第 2 のフィルタが接続された振幅制御ループによって、出力制御電圧に応じて制御可能なことを特徴とする請求項 7 に記載の無線通信装置。

10

【請求項 9】

前記位相検出手段に帰還される信号として、前記送信信号検出手段により検出された信号または前記送信出力検出手段により検出された信号のいずれかを選択する切替え手段を備えることを特徴とする請求項 7 または 8 に記載の無線通信装置。

【請求項 10】

送信データに応じた I, Q 信号を生成して出力する半導体集積回路化されたベースバンド回路と、

搬送波を発生する送信用発振回路と、

前記送信用発振器から出力される搬送波を増幅する電力増幅回路と、

前記電力増幅回路から出力される信号のレベルを検出する送信出力レベル検出手段と、

前記 I, Q 信号で前記搬送波を変調して所定の周波数の発振信号を形成する直交変調回路と、

20

前記送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループと、

前記送信出力レベル検出手段と振幅検出回路との間のフィードバックパス上に設けられた第 1 の可変利得増幅回路と、

前記振幅検出回路と電力増幅回路との間のフォワードパス上に設けられた第 2 の可変利得増幅回路と、

を含む変調用半導体集積回路と、

を備え、

30

前記第 1 の変調モードで使用する位相制御ループは、前記第 2 の変調モードで使用する位相制御ループと共用されるように構成されていることを特徴とする無線通信装置。

【請求項 11】

前記位相制御ループの周波数帯域幅を決定している前記ループフィルタの構成素子を切り替えるための切替え手段が、前記位相制御ループ上に設けられていることを特徴とする請求項 1 または 3 に記載の無線通信装置。

【請求項 12】

変調された搬送波信号を発生するための無線通信装置であって、

搬送波信号の位相および振幅を変調する第 1 の動作モード、および搬送波信号の位相のみを変調する第 2 の動作モードを有し、

40

前記第 1 の動作モードにおける変調搬送波信号の振幅および位相を制御するための第 1 の制御ループと第 2 の制御ループを備え、

前記第 1 の制御ループは、前記第 1 の動作モードにおける位相ロックの獲得のために使用され、前記第 2 の制御ループは、前記第 2 の動作モードにおける変調搬送波信号の位相を制御するために使用されることを特徴とする無線通信装置。

【請求項 13】

変調された搬送波信号を発生するための無線通信装置であって、

搬送波信号の位相および振幅を変調する第 1 の動作モード、および搬送波信号の位相のみを変調する第 2 の動作モードを有し、

搬送波信号の変調を制御するための制御ループを備え、

50

前記制御ループは、搬送波信号の位相を制御するための処理手段を備え、前記処理手段が前記2つの動作モードにおける位相変調制御のために使用されることを特徴とする無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相および振幅変調のための位相制御ループおよび振幅制御ループを有する無線通信システムに適用して有効な技術に関し、特に位相検出回路と振幅検出回路を内蔵する通信用半導体集積回路およびこの通信用半導体集積回路を組み込んだ携帯電話機等の無線通信装置に適用して有効な技術に関する。

【0002】

【従来の技術】

従来、携帯電話機等の無線通信装置（移動体通信装置）の方式の一つに欧州で採用されているGSM（Global System for Mobile Communication）と呼ばれる方式がある。このGSM方式は、変調方式に搬送波の位相を送信データに応じてシフトするGMSK（Gaussian Minimum Shift Keying）と呼ばれる位相変調方式が用いられている。

【0003】

一般に、無線通信装置における送信側出力部には、高周波電力増幅回路が組み込まれている。従来のGSM方式の無線通信装置には、送信出力を検出する検出器からの信号とベースバンドLSIからの送信要求レベルに基づいて送信出力の制御信号を生成するAPC（Automatic Power Control）回路と呼ばれる回路から出力される制御電圧によって通話に必要な出力電力となるように、高周波電力増幅回路のバイアス電圧を制御する構成が採用されているものがある。

【0004】

ところで、近年の携帯電話機においては、EDGE（Enhanced Data Rates for GSM Evolution）方式が提案されている。このEDGE方式には、音声信号の通信はGMSK変調で行ない、データ通信は $3\pi/8$ rotating 8-PSK（Phase Shift Keying）変調で行なうデュアルモードの通信機能を備えている。8-PSK変調はGMSK変調における搬送波の位相シフトにさらに振幅シフトを加えたような変調であり、1シンボル当たり1ビットの情報を送るGMSK変調に対し、8-PSK変調では1シンボル当たり3ビットの情報を送ることができる。そのため、EDGE方式においてはGSM方式に比べて高い伝送レートによる通信を行なうことができる。

【0005】

送信信号の位相成分と振幅成分にそれぞれ情報を持たせる変調方式の実現方法としては、送信したい信号を位相成分と振幅成分に分離した後、位相制御ループと振幅制御ループでそれぞれフィードバックをかけアンプで合成して出力するポーラーループと呼ばれる方式が従来より知られている（例えば、ARTECH HOUSE, INC. が1979年に出版の“High Linearity RF Amplifier Design” by Kennington, Peter B. の第162頁）。

【0006】

【発明が解決しようとする課題】

GSM方式の通信システムでは位相変調された信号を要求出力レベルに応じて出力すれば良いので最終段の高周波電力増幅回路を飽和領域で動作させることができる。一方、EDGE方式による送受信が可能な無線通信システムでは、振幅制御を行なう必要があるため最終段の高周波電力増幅回路を非飽和領域で線形動作させなければならない。しかしながら、従来のGSM方式の通信システムに用いられている高周波電力増幅回路の駆動方式では、出力レベルが小さい領域において高周波電力増幅回路に要求される線形性を確保することが困難である。これに対し、ポーラーループ方式によれば、高周波電力増幅回路の線

10

20

30

40

50

形性に対する要求を満たすことができるとともに、低出力レベル領域における電力効率も向上させることができるという利点を有する。

【0007】

そこで、本発明者等はEDGE方式の無線通信システムにポーラーループ方式を採用することについて検討を行なった。その結果、ポーラーループ方式で8-PSK変調を実現すると、送信波形の変調精度(EVM: Error Vector Magnitude)やノイズ抑圧度等が規格の要求を満たすことが困難であるという課題があることが明らかになった。

【0008】

具体的には、振幅制御ループの周波数帯域(送信搬送波の周波数を中心周波数からオープンループ利得が0dBになる周波数までの幅)は広い方が変調精度EVMが高くまた波形の歪みの度合いを示すスペクトラル・リグロースと呼ばれる特性も良好となるが、帯域が広がると送信搬送波の中心周波数から20MHz離れた受信周波数での振幅制御ループの減衰量が小さくなり、十分なノイズ抑圧度が得られなくという課題がある。

【0009】

しかしながら、2つのフィードバックループのうち特に振幅制御ループについては、製造バラツキによりループゲインが変動し、それによってループの安定性が低下してしまうため、所定の時間内に所望の出力レベルまで持って行くのが困難である。さらに、ポーラーループ方式のシステムでは、振幅制御ループで振幅変調のための出力制御を行なう際に、振幅制御ループのゲインが変化して位相余裕が減少しループの安定性が低下するという課題があることが分かった。

【0010】

また、GMSK変調モードによる送信と8-PSK変調モードによる送信の両方が可能な無線通信装置用の高周波ICを構成する場合に、フィードバックループにはそれぞれループの周波数帯域を制限するためのループフィルタが必要であるが、GMSK変調モードと8-PSK変調モードとではそれぞれループの周波数帯域を変えるのが望ましいことが明らかになった。そこで、当初は、GMSK変調モードに使用する位相制御ループと8-PSK変調モードに使用する位相制御ループを別々に設けることを考えたが、そのようにすると異なる特性のループフィルタを構成するために素子数が多くなり、回路規模が大きくなるという課題があることが分かった。

【0011】

さらに、8-PSK変調モードによる送信開始時には、先ず位相制御ループと振幅制御ループの2つのフィードバックループをそれぞれ安定させる必要があり、その場合同時に2つのフィードバックループを安定させるのは困難であるので、先ず位相制御ループを安定させてから振幅制御ループを安定させることを考えた。しかしながら、GSMシステムでは位相制御ループを安定させれば良いため比較的時間に余裕があったが、EDGEシステムでは短時間に2つのフィードバックループを安定させなければならないという課題があることが明らかになった。

【0012】

さらに、従来のGSMシステムでは、前述したように、送信出力を検出する検出器からの信号とベースバンド回路からの送信要求レベルに基づいて送信出力の制御信号を生成するAPC回路が用いられていた。本発明者等は、ポーラーループには振幅制御ループが設けられているので、これを利用することでGSMシステムあるいはEDGEシステムのGMSK変調モード実現の際に、APC回路を省略できることを思い付き検討した。その結果、以下のような課題があることがわかった。

【0013】

それは、振幅制御ループ上のループフィルタをGMSK変調モードに合わせて設計すると8-PSK変調モードでの動作の際に搬送波の周波数から20MHz離れた受信信号の周波数帯でのノイズ抑圧度が充分でなくなる一方、ループフィルタを8-PSK変調モードに合わせて設計するとGMSK変調モードでの動作の際やパワーアンプの出力が非常に小

10

20

30

40

50

さな時にはループの位相余裕が充分でなくなり、ループが不安定つまり発振し易いというものである。

【0014】

本発明の目的は、位相変調と振幅変調を行なう機能を有し、送信波形の変調精度およびスペクトラル・リグロスを向上させるとともに受信周波数帯へ及ぶノイズを十分に抑制することができる携帯電話器のような無線通信装置を提供することにある。本発明の他の目的は、位相制御ループと振幅制御ループの2つのフィードバックループを有するポーラーループ方式を採用したシステムにおいて、回路を構成する素子数を減らし、回路の占有面積ひいてはチップサイズを低減することができる技術を提供することにある。

【0015】

本発明のさらに他の目的は、位相制御ループと振幅制御ループの2つのフィードバックループを有するポーラーループ方式を採用したシステムにおいて、動作開始時に短時間に位相制御ループを安定させることができる技術を提供することにある。

本発明の他の目的は、ポーラーループ方式を採用したシステムにおいて、ループフィルタの特性によって、受信信号の周波数帯でのノイズ抑圧度が充分でなかったり、振幅制御ループの位相余裕が減少しループの安定性が低下したりするのを防止することができる技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有するポーラーループ方式を採用し、GMSK変調モードによる送信と8-PSK変調モードによる送信が可能に構成された無線通信装置において、GMSK変調モードで使用する位相制御ループと、8-PSK変調モードで使用する位相制御ループとを共用するようにしたもののである。これにより、回路（高周波IC）を構成する素子数を減らし、回路の占有面積ひいてはチップサイズを低減することができる。

【0017】

また、上記のようにGMSK変調モードで使用する位相制御ループと8-PSK変調モードで使用する位相制御ループとを共用するようにした場合、各変調モードに応じて位相制御ループの周波数帯域を変えるのが望ましい。そこで、ループフィルタを構成する素子のいずれかと並列に同様の素子を設け、該素子を例えばスイッチ素子を用いて変調モードに応じて接続したり切り離したりできるように構成しておくようにした。これにより、スイッチの切替えのみで位相制御ループ上のループフィルタの特性を各変調モードに応じて変化させて、位相制御ループを最適な周波数帯域に設定することができるようになる。

【0018】

表1には、ポーラーループ方式を採用した送信回路において位相制御ループと振幅制御ループの周波数帯域を色々変えて8-PSK変調モードで動作させたときの変調精度（EVM）のシミュレーション結果を示す。

【0019】

【表1】

10

20

30

40

		PMループ オープンループ 帯域幅 (MHz)					
		0.674	1.151	1.8	2.047	3.639	6.467
AMループ オープンループ 帯域幅 (MHz)	0.647	5.99					4.84
	1.151		2.03		1.38	1.30	1.29
	1.8						
	2.047		1.64		0.65	0.45	0.42
	3.639		1.60		0.51	0.20	0.14
	6.467	3.69	1.59		0.50	0.16	0.06

(%)

【0020】

また、表2には、同様の条件でシミュレーションを行なって得られたスペクトラル・リグロース（搬送波の周波数から0.4MHz離れた周波数の信号レベルの減衰量）を示す。

【0021】

【表2】

		PMループ オープンループ 帯域幅 (MHz)					
		0.674	1.151	1.8	2.047	3.639	6.467
AMループ オープンループ 帯域幅 (MHz)	0.647	-46					-42
	1.151		-50		-54	-52	-51
	1.8						
	2.047		-47		-60	-61	-59
	3.639		-46		-58	-69	-68
	6.467	-41	-46		-57	-69	-73

(dBm/100kHz)

【0022】

表1および表2より、位相制御ループと振幅制御ループの周波数帯域が広いほど変調精度およびスペクトラル・リグロースは良好になることが分かる。一方、表3には、同様の条件でシミュレーションを行なって得られたノイズを示す。

【0023】

【表3】

10

20

30

40

		PMループ・オープンループ 帯域幅 (MHz)					
		0.674	1.151	1.8	2.047	3.639	6.467
AMループ・オープンループ 帯域幅 (MHz)	0.647	-82.9					-66.6
	1.151				-81.1		
	1.8			-80.7			
	2.047		-80.7		-79.8		
	3.639					-73.3	
	6.467	-71.0					-65.3

(dBm/100kHz)

【0024】

表3より、ノイズ抑制度は位相制御ループと振幅制御ループの周波数帯域が狭いほど良好になることが分かる。表1～3より、すべての特性が仕様要求を満足するにはループの周波数帯が1.151MHzでは不十分であるが、2.047MHzあれば充分であるが分かる。このことから、本発明では、8-PSK変調モードでの振幅制御ループの周波数帯を搬送波の周波数±1.8MHzとすることとした。

【0025】

【発明の実施の形態】

図1は、本発明に係るポーラーループ方式の無線通信装置の一実施例の概略構成を示す。図1において、符号100はGSMシステムにおけるGMSK変調やEDGEシステムにおける8-PSK変調を行なうことができる高周波ICを表し、200はアンテナANTを駆動して送信を行なう高周波電力増幅回路（以下、パワーアンプと称する）210や送信電力を検出するためのカップラ220などを含むパワーモジュール、300は送信データ（ベースバンド信号）に基づいてI/Q信号を生成したり高周波IC100の制御信号やパワーモジュール200内のパワーアンプ210に対するバイアス電圧VBIVGASを生成したりするベースバンド回路、TxVCOは位相変調された送信信号（搬送波）を生成する送信用発振器、LPF1は位相制御ループの帯域を制限するループフィルタである。

【0026】

高周波IC100は1つの半導体チップ上に半導体集積回路として構成される。高周波IC100のチップ上には、上記のような送信系の回路と同じように、ロウノイズアンプ（LNA）、受信信号を直接、ベースバンド信号にダウンコンバートするミキサ（Rx-MIX）、高利得のプロゲラマブル・ゲインアンプ（PGA）などからなる受信系回路190が形成されている。この高周波IC100と送信用発振器TxVCOとループフィルタLPF等を1つのセラミック基板のような絶縁基板上に実装してモジュールとして構成することができる。本実施例のポーラーループは、位相制御のためのフィードバックループ（以下、位相ループと称する）の他に、振幅制御のためのフィードバックループ（以下、振幅ループまたはAMループと称する）の2つの制御ループを備える。

【0027】

この実施例のポーラーループを構成する高周波IC100は、発振器IF-VCOで生成された中間周波数の発振信号φIFから互いに位相が90°ずれた信号を生成する位相分周回路110、ベースバンドLSI300から供給されるI/Q信号と位相分周回路110で分周された信号とをミキシングして直交変調を行なう直交変調回路120、送信用発振器TxVCOからのフィードバック信号と高周波発振器RF-VCOからの発振信号φ

R Fとをミキシングして、例えば80MHzのような信号にダウンコンバートするミクサ131、該ミクサ131の出力信号と前記直交変調回路120の出力信号との位相差を検出する位相検出回路140、パワーアンプ210の出力レベルを検出する前記カプラ220の検出信号と高周波発振器RF-VCOからの発振信号φRFとをミキシングするミクサ132、該ミクサ132の出力を増幅するフィードバック側可変利得増幅回路MVGA、MVGAからの増幅された信号と前記直交変調回路120の出力信号とを比較して振幅差を検出する振幅検出回路150、振幅検出回路150の出力に比例した電圧を発生するとともに振幅ループの周波数帯域を規制するループフィルタLPF2、電流電圧変換器VIC、可変利得増幅回路MVGAおよびIVGAの利得を制御する利得制御回路160、チップ内部の制御情報や動作モード等を設定するためのレジスタ170、レジスタ170の10
設定値に基づいてチップ内部の各回路に対するタイミング信号を出力して動作モードに応じて所定の順序で動作させるシーケンサ180などを備える。

【0028】

上記カプラ220からミクサ132、可変利得増幅回路MVGA、振幅検出回路150、ループフィルタLPF2、可変利得増幅回路IVGAを通してパワーアンプ210に至るまでのループにより振幅ループが構成される。この振幅ループは、メインループと呼ぶ。また、この実施例では、位相検出回路140からループフィルタLPF1、送信用発振器TxVCO、ミクサ131を通して位相検出回路140までのループにより位相ループが構成される。この位相ループは、サブループと呼ぶ。

【0029】

具体的には、直交変調回路120の出力信号とミクサ131からのフィードバック信号に位相差が生じていると、この誤差を減少させるような電圧が送信用発振器TxVCOの周波数制御端子に供給され、ミクサ131からのフィードバック信号の位相が直交変調回路120の出力信号の位相と一致するようになる。この位相のサブループにより、送信用発振器TxVCOの出力の位相が電源電圧変動や温度変化に対してずれないような制御が行われる。なお、送信用発振器TxVCOの振幅は一定である。

【0030】

さらに、この実施例では、上記可変利得増幅回路MVGAの出力を位相検出回路140にフィードバックさせて、カプラ220からミクサ132を通して可変利得増幅回路MVGAまでの経路を振幅ループと位相ループの共通のフィードバックパスとして使用可能にするため、切替えスイッチSW0が設けられている。スイッチSW0はベースバンドLSI300からのレジスタ170への設定状態に応じてシーケンサ180によって切替えが行なわれるようにされる。

【0031】

EDGEモードではパワーアンプ210の出力に位相変調成分と振幅変調成分の両方が含まれるので、出力側の位相成分を有する位相検出回路140への帰還信号として、送信用発振器TxVCOの出力またはパワーアンプ210の出力のいずれを用いてもよい。ただし、送信開始時はパワーアンプ210の出力がまだ立ち上がっていないので、振幅ループからのフィードバック信号では位相ループをロックさせることができない。一方、EDGE変調モードでは振幅ループのフィードバックパスは、パワーアンプによってもたらされた歪みを修正するために不可欠である。それゆえ、ループがロックした後は振幅ループを共用してミクサ131を含む狭義の位相ループを遮断してもよく、それにより消費電力を低減でき、またより精度の高い位相変調が行なえる。

【0032】

そこで、この実施例では、出力立上げ時はスイッチSW0を位相のサブループからのフィードバック信号を選択する側に切り替えて、ループが安定したら振幅ループまたは位相のメインループからのフィードバック信号を選択する側に切り替えるようにしている。

【0033】

また、位相ループ上のループフィルタLPF1は、容量C0、C1およびC1と直列に接続された抵抗R1とから構成されている。各容量や抵抗の値は、ループフィルタLPF1 40

の周波数帯域が、位相変調のみ行なう G M S K 変調モードを考慮してノイズ抑制度の高い 1. 2 M H z のような周波数帯域となるように決定されている。

【 0 0 3 4 】

図 2 には、位相ループのオープンループゲイン特性を示す。図 2 はキャリア周波数 f_0 を基準にして横軸に周波数を対数目盛 (log スケール) で表わし、縦軸にゲインをとって示してある。実線 A A はループゲインを 1. 2 M H z にしたときの位相ループ ゲイン特性を、また、一点鎖線 B B はループゲインを 1. 8 M H z にしたときの位相ループのゲイン特性を示す。距離 D 1, D 2 はループゲインを 1. 2 M H z と 1. 8 M H z にしたときのキャリア周波数から 2 0 M H z 離れた受信信号の周波数での位相ループの信号の減衰量を示す。図 2 より、ループゲインが 1. 2 M H z に設定されたときの方が、1. 8 M H z に設定されたときよりも、2 0 M H z オフセットのノイズ量が少ない、つまり受信周波数帯域へ混信する信号の量が少ないことが分かる。

10

【 0 0 3 5 】

さらに、本実施例では、この位相ループを G M S K 変調モードと 8 - P S K 変調モードで共用できるようにするため、上記抵抗 R 1 と並列に、抵抗 R 2 およびこれと直列のスイッチ S W 3 が設けられている。スイッチ S W 3 をオンさせると抵抗 R 2 が抵抗 R 1 と並列に接続されることにより、ループフィルタ L P F 1 の周波数帯域が 1. 8 M H z に広がるように構成されている。すなわち、8 - P S K 変調モードでは周波数帯域が 1. 8 M H z の振幅ループが有効化されるため、スイッチ S W 3 をオンさせることによりループフィルタ L P F 1 の周波数帯域を振幅ループと同じ 1. 8 M H z に設定して動作を安定化させる。

20

【 0 0 3 6 】

また、G M S K 変調モードでは周波数帯域が 1. 8 M H z の振幅ループが無効化されるため、スイッチ S W 3 をオフさせることによりループフィルタ L P F 1 の周波数帯域を振幅ループよりも狭い 1. 2 M H z に設定し、ループの安定性およびノイズ抑制度を高めることができるようにされている。具体的には、容量 C 0 が 1. 5 n F、C 1 が 1 2 n F、抵抗 R 1 が 3 0 Ω のような値のとき、抵抗 R 2 は 5 6 Ω のような値にすることにより、位相ループを上記所望の周波数帯域に設定することができる。

【 0 0 3 7 】

なお、この実施例では、特に制限されるものでないが、ループフィルタ L P F 1 (抵抗 R 2 を含む) は、高周波 I C 1 0 0 の外付け回路として構成され、スイッチ S W 3 は変調回路 1 2 0 や位相検出回路 1 4 0 など一緒に高周波 I C 1 0 0 のチップ上に形成され、スイッチ S W 3 はベースバンド L S I 3 0 0 からのレジスタ 1 7 0 への設定状態に応じてシーケンサ 1 8 0 によって切替えが行なわれるようにされている。ただし、ループフィルタ L P F 1 を構成する素子のうち抵抗 R 1 と R 2 はスイッチ S W 3 と共に高周波 I C 1 0 0 のチップ上に形成するようにしてもよい。容量 C 0, C 1 はチップサイズが大きくなるのを防止するように外付け素子とするのが良い。

30

【 0 0 3 8 】

一方、G M S K モードでは、図 3 に破線 B で示すように、振幅ループ上のループフィルタ L P F 2 は、ループの安定性およびノイズ抑制の観点から、開ループ周波数帯域が狭い方が良いが、E D G E モードでは、振幅変調の精度 (E V M) を高めスペクトルリグロスを良好にするためにはループ帯域は広い方が良い。そこで、本実施例では、E D G E 用ループフィルタが、低周波数域では 7 K H z の近傍と 1 0 K H z の近傍に 2 つの極を、また 0. 3 M H z 近傍に零点を、高周波数域では 1 0. 8 M H z の近傍に 1 つの極を有するように構成されている。E D G E モードでは、振幅ループの開ループ周波数帯域は、約 1. 8 M H z に設定される。なお、A M ループフィルタは、容量 C 2, C 3, C 3 と直列に接続された抵抗 R 3 および容量 C 4 により構成されている。

40

【 0 0 3 9 】

このような高次数のループフィルタ L P F 2 を含む振幅ループでは、精度の高い振幅制御が可能である一方、位相余裕が少なくなりループの安定性が保証されない。そこで、この実施例では、図 1 に示すように、ループフィルタ L P F 2 と別個に、全体として低周波数

50

域に極を1つか持たない負荷LPF3と、ループフィルタLPF2と負荷LPF3の切替え用のスイッチSW2とを設けている。精度の高い振幅制御が必要な場合にはスイッチSW2をフィルタLPF2側に切り替えてフィルタLPF2でループを動作させる。精度の高い振幅制御が不要である場合やループの安定性を特に高めたい場合にはスイッチSW2を負荷LPF3側に切り替えて負荷LPF3でループを動作させて位相余裕を大きくした状態にして、結果としてループを安定化させることができるようにされている。これについては、後に改めて説明する。

【0040】

本実施例の送信回路では、8-PSK変調モードで動作する場合、振幅ループにおいて、パワーアンプ210の出力がカプラ220により検出され、その検出信号がミキサ132により中間周波数帯(IF)に変換され、可変利得増幅回路MVGAにより増幅されてフィードバック信号SFBとして振幅検出回路150に供給される。そして、振幅検出回路150で直交変調回路120により変調された送信信号とフィードバック信号SFBとが比較されて振幅差が検出される。その振幅差が振幅ループフィルタLPF2に透過され、可変利得増幅回路IVGAで増幅され、振幅ループフィルタLPF1に透過され、パワーアンプ210の出力制御端子に制御電圧VAPCとして印加され、振幅制御が行なわれる。

10

【0041】

この実施例においては、パワーアンプ210はFETなどで構成されており、パワーモジュール200に設けられている電圧制御回路(図4の符号230)により前記制御電圧VAPCに応じた駆動電圧(Vdd)が生成されてこのFETのドレイン端子もしくはソース端子に印加される。また、パワーFETのゲート端子には図示しないバイアス回路で生成された適当なバイアス電圧VBIASが印加される。

20

【0042】

ここで、フォワードパス上の可変利得増幅回路IVGAとフィードバックパス上の可変利得増幅回路MVGAに対する利得制御について説明する。

【0043】

EDGEまたはGSM対応の携帯電話端末では、パワーアンプの出力電力POUTを一定時間内に所望の値まで増加または減少させるパワー制御を行なわれる。ポーラーループでは、このパワー制御を可変利得増幅回路MVGAのゲインを制御することにより行なう。具体的には、可変利得増幅回路MVGAのゲインを減少させれば振幅検出器へのフィードバック信号は減少する。よって、振幅ループは、パワーアンプのRFゲインGPA(POUT/PIN)を増加させて、フィードバック信号と変調回路からの基準信号と一致させるように作用する。

30

【0044】

このように、可変利得増幅回路MVGAのゲインが減少したときは、出力電力POUTは増加する。出力電力POUTを減少させたい時は、可変利得増幅回路MVGAのゲインを増加させればよい。本実施例では、可変利得増幅回路MVGAのゲイン制御は、ベースバンドLSI300からの制御電圧VRAMPにより行なうようにしている。しかも、振幅ループの制御のために、可変利得増幅回路MVGAのゲインGMVGAの減少または増加の割合と、パワーアンプのRFゲインGPAの増加または減少の割合は常に等しくされる。

40

【0045】

そのため、制御電圧VRAMPに対する可変利得増幅回路MVGAのゲインの変化は図5(A)に実線GMAで示すように右下がりの直線になる。これに反して、制御電圧VRAMPに対するパワーアンプ210のゲインの変化は図5(A)に実線GPAで示すように右上がりの直線になる。また、これによってパワーアンプ210の出力電力POUTは、図5(B)に示すように、制御電圧VRAMPに対して直線的に増加するようになる。パワーアンプ210による電力dBmと制御電圧VRAMPとの関係が線形になるのは、MVGAの特性によるものである。

50

【0046】

一方、変調回路120からの基準信号SREFは8-PSKで変調された信号であり振幅成分は変化しているが、振幅制御ループの作用によりパワーアンプの出力電力POUTの振幅成分が基準信号SREFと一致するように制御がなされる。このときパワーアンプ210の出力電力POUTは上述したパワー制御により所望の値に維持されている。このような方法によれば、ポーラーループによって、直交変調器120により生成される8-PSK変調信号の本来の振幅変調にきわめて近似したパワーアンプの出力の振幅変調が行われる。

【0047】

図4には、ポーラーループ方式を適用した送信回路のより詳細な構成例が示されている。図4に示されているように、本実施例では、位相検出回路140は、デジタル位相比較器DPDと、アナログ位相比較器APDと、前記デジタル位相比較器DPDの差動出力により制御される一対の定電流源CS11、CS12と、前記アナログ位相比較器APDの差動出力により制御される一対の定電流源CS21、CS22とで構成されている。後述するように、送信開始時にはまずデジタル位相比較器DPDで位相比較を行ない、その後アナログ位相比較器APDに切り替えることで、高速で位相ループをロックさせることができるようにされている。

【0048】

なお、デジタル位相比較器DPDにより制御される定電流源CS11とCS12の電流の大きさは等しく、アナログ位相比較器APDにより制御される定電流源CS21とCS22の電流は等しくする。また、デジタル位相比較器DPDとアナログ位相比較器APDとでループフィルタLPF1を共有する場合には、デジタル位相比較器DPDにより制御される定電流源CS11、CS12の電流は、アナログ位相比較器APDにより制御される定電流源CS21、CS22の電流の4倍程度に設定しておくのが望ましい。

【0049】

定電流源CS11、CS12と位相ループフィルタLPF1の容量C0、C1とにより、また定電流源CS21、CS22とループフィルタLPF1の容量C0、C1とによりそれぞれチャージポンプが構成され、デジタル位相比較器DPDまたはアナログ位相比較器APDにより検出された変調信号と帰還信号との位相差に応じた電圧が容量C0、C1にチャージされる。送信用発振器TxVCOは容量C0、C1のチャージ電圧に応じて発振動作することで、変調回路120から出力される変調信号と位相が一致した信号を生成する。

【0050】

また、図1には示されていないが、位相ループのフィードバックパスには、送信用発振器TxVCOとミクサ131との間に発振器TxVCOの出力を減衰してミクサ131に供給するアッテネータATT1が、またミクサ131と位相検出回路140との間に高調波を除去するためのロウパスフィルタPLPFが設けられている。一方、振幅ループのフィードバックパスには、カプラ220とミクサ132との間にアッテネータATT2が、またミクサ132と可変利得増幅回路MVGAとの間および可変利得増幅回路MVGAと振幅検出回路150との間にそれぞれ不要波や高調波を除去するためのロウパスフィルタMLPF1、MLPF2が設けられている。

【0051】

さらに、本実施例では、可変利得増幅回路IVGAの後段に、チャージポンプCGPとレベルシフト回路LVSとが設けられている。チャージポンプCGPは、可変利得増幅回路IVGAの差動出力によりチャージまたはディスチャージを行なって可変利得増幅回路IVGAの出力電流を積分する。レベルシフト回路LVSは、チャージポンプで発生された電圧を約0.6Vだけ負の方向へシフトする。チャージポンプCGPは一対の電流源IS1、IS2と容量C4とから構成されている。レベルシフト回路LVSを設けているのは、出力パワーモジュール200に対しては制御電圧として0Vまで印加できることが要求されるのに対し、チャージポンプでは電流源IS2の性質から0Vを出すことができない

10

20

30

40

50

ためである。

【0052】

前述したように、位相ループでは、GMSK変調モードの際にはスイッチSW3をオフしておき、8-PSK変調モードの際にはスイッチSW3をオンさせてループフィルタLPF1の周波数帯域を切り替える。この場合同時にGMSK変調モードと8-PSK変調モードとで、アナログ位相比較器APDの定電流源CS21, CS22の電流値を変える。具体的には、GMSK変調モードでの定電流源CS21, CS22の電流値（例えば1.4mA）を8-PSK変調モードでは約2倍（例えば3.2mA）に変更してやるのが望ましい。

【0053】

さらに、GSMシステムとDCSシステムまたはPCSシステムで使用される送信用発振器TxVCOの周波数はそれぞれ900MHzと1800MHzまたは1900MHzであり、チャージポンプからの制御電圧に対する感度が異なる発振器TxVCOが使用されることがあり、その場合アナログ位相比較器APDの定電流源CS21, CS22の電流値を変えることが行なわれる（DCSやPCSではGSMのときの半分の電流値0.7mAとされる）。このようなシステムに本実施例を適用する場合には、DCSやPCSシステムで8-PSK変調を行なうときにはGMSK変調モードでの定電流源CS21, CS22の電流値（例えば0.7mA）の約2倍（例えば1.6mA）に変更してやるようにするのが望ましい。

【0054】

ここで、本実施例のポーラーループ方式の送信回路に使用される位相検出回路140について説明する。本実施例では、前述したように、位相検出回路140は、デジタル位相比較器DPDと、アナログ位相比較器APDと、デジタル位相比較器DPDの差動出力により制御される一対の定電流源CS11, CS12と、アナログ位相比較器APDの差動出力により制御される一対の定電流源CS21, CS22とで構成されており、送信開始時には先ずデジタル位相比較器DPDで位相比較を行ないその後アナログ位相比較器APDに切り替えることにより、高速で位相ループをロックさせることができるようにされている。

【0055】

本発明者等は当初ポーラーループにおける位相検出回路140として、図7に示すような乗算回路からなるアナログ位相比較器APDを使用することを検討した。このようなアナログ位相比較器APDは、従来のGSM方式の携帯電話器で使用されている。図8（A）には図7のアナログ位相比較器APDの入力信号の位相差と出力電流I_{out}との関係が示されている。図8（A）において、実線は基準信号SREFと入力信号SFB（帰還信号）の周波数が同一の場合の位相差に対する出力電流I_{out}の波形を、一点鎖線は入力信号SFBの周波数が基準信号SREFの周波数の1/3である場合の位相差に対する出力電流I_{out}の波形をそれぞれ示している。

【0056】

図7の回路を使用した位相ループでは、図8（A）において出力I_{out}が「0」になる位相差が±90°と±270°のようなポイントでそれぞれループがロックする。しかし、複数のロックポイントがあると、入力信号SFBが基準信号SREFの周波数の（2M+1/2N+1）（NとMは自然数）であるような不所望な場合にもループがロックしてしまうおそれがある。

【0057】

この場合、図7のアナログ位相比較器APDにあっては、破線で示すような定電流源I3を設けて、出力電流I_{out}を図8（B）のように全体的にシフトさせることで、不所望な周波数でのループのロックを回避することができる。しかしながら、このような対応策を講じたにもかかわらず図7のアナログ位相比較器は依然として複数のポイントでロックするという不具合を有する上、ロック可能な位相範囲が狭いととも、ロックするまで要する時間（ロックアップタイム）が出力電流I_{out}とループフィルタLPF1の容量C

10

20

30

40

50

0, C1の容量値によって決まってしまう。また、アナログ位相比較器APDはロックアップタイムが数100 μ secと長いため、EDGEシステムで要求される10 μ sec以下のロックアップタイムは到底実現することができないという不具合があることが分かった。

【0058】

そこで、本実施例では、位相検出回路140を図9に示すようなデジタル位相比較器DPDとアナログ位相比較器APDとで構成し、デジタル位相比較器DPDを先に動作させることにより高速で位相ループをロックができるようにした。

【0059】

デジタル位相比較器DPDは、各々差動の入力信号SFB, /SFBと基準信号SREF, /SREFを入力とする差動入力シングル出力のバッファBFF11, BFF12と、該バッファBFF11, BFF12によってそれぞれラッチ動作するD型フリップフロップFF1, FF2と、該フリップフロップFF1, FF2の出力を入力とするNANDゲートG1と、該NANDゲートG1の出力と活性化信号DPD_ONとを入力とするANDゲートG2とから構成されている。

【0060】

バッファBFF11, BFF12はサイン波形の入力信号を波形整形して方形波として出力するリミッタの機能を備える回路が望ましい。このデジタル位相比較器DPDは、活性化信号DPD_ONがハイレベルにされると位相比較動作を開始し、バッファBFF11, BFF12の出力の立上がりに応じてフリップフロップFF1, FF2がラッチ動作して、2つのフリップフロップFF1, FF2の出力がハイレベルに変化する。そして、2つのフリップフロップFF1, FF2の出力が共にハイレベルになるとNANDゲートG1を介してフリップフロップFF1, FF2がリセットされる。

【0061】

その結果、位相の早い方のフリップフロップFF1, FF2の出力パルスの幅の方が他方の出力パルス幅よりも広くなり、このパルス幅が広い分だけ電流源CS11またはCS12の電流が余分に流される。これにより、ループフィルタLPF1の容量C0, C1の充電電圧が変化し送信用発振器TxVCOに対する制御電圧が変化されて出力の位相が進んだり遅れたりする。入力信号SFBと基準信号SREFの位相が一致した時点で電流源CS11のチャージ電流とCS12のディスチャージ電流とがバランスしてループフィルタLPF1の容量C0, C1の充電電圧が一定になりロック状態となる。

【0062】

このときデジタル位相比較器DPDは、図11に一点鎖線で示すように、位相差が-360°, 0°, +360°のときに出力電流Ioutが「0」になってロック状態となる。アナログ位相比較器APDの出力電流波形を示す図8(A)及び(B)と比較すると分かるように、デジタル位相比較器DPDは、位相引込み範囲が720°でありアナログ位相比較器APDの180°に比べて広いとともに、ロックするポイントが1つであるためイマジナリーロックを起こすおそれもない。従って、このデジタル位相比較器DPDにより先ずループの位相引込みを行なうことで高速(8 μ sec以下)の引込みが可能となる。

【0063】

ただし、デジタル位相比較器DPDにおいては、上述したように、位相が一致した時点で電流源CS11のチャージ電流とCS12のディスチャージ電流による貫通電流が流れるため、この貫通電流によって送信用発振器TxVCOの出力にスプリアスノイズが発生するという不具合がある。従って、図10に示すようなタイミングの制御信号DPD_ON, APD_ONを生成して、デジタル位相比較器DPDにより位相をロックした後にアナログ位相比較器APDに切り替えることによって、送受信時におけるノイズの発生を回避しつつロックアップタイムの短縮が可能となる。なお、制御信号DPD_ON, APD_ONは図1に示されているシーケンサ180から与えることができる。

【0064】

アナログ位相比較器APDは、各々差動入力と差動出力とを有し、差動の入力信号SFB

10

20

30

40

50

、 \angle SFBと基準信号SREF、 \angle SREFを入力とするバッファBFF21、BFF22と、該バッファBFF21、BFF22の出力を入力とする乗算回路MLTとからなる。バッファBFF21はサイン波形の入力信号SFB、 \angle SFBを波形整形して方形波として出力するリミッタの機能を備える回路が望ましい。

【0065】

乗算回路MLTは、バッファBFF22の差動出力をベースに受ける差動対トランジスタQ1、Q2と、Q1、Q2の共通エミッタに接続された定電流源CS0と、Q1のコレクタに共通エミッタが接続されベースにバッファBFF21の差動出力を受ける差動対トランジスタQ3、Q4と、Q2のコレクタに共通エミッタが接続されベースにバッファBFF21の差動出力を受ける差動対トランジスタQ5、Q6と、Q3のコレクタと電源電圧Vccとの間に接続されたトランジスタQ7と、Q6のコレクタと電源電圧Vccとの間に接続されたトランジスタQ8と、トランジスタQ7とカレントミラー接続されたトランジスタQ9と、Q9と直列に接続されたトランジスタQ10とから構成されている。そして、上記トランジスタQ8と前記チャージポンプの定電流源CS21としてのトランジスタQ11とがカレントミラー接続され、また上記トランジスタQ10と前記チャージポンプの定電流源CS22としてのトランジスタQ12とがカレントミラー接続されている。

【0066】

このアナログ位相比較器APDは、定電流源CS0が制御信号APD_ONによりオン状態にされることにより活性化されて、入力信号SFBと基準信号SREFの位相差の比較を開始し、位相差に比例して図11に実線で示すような電流Ioutを出力する。ここで、図11に示されているアナログ位相比較器APDの出力電流特性（実線）とデジタル位相比較器DPDの出力電流特性（破線）とを比較すると、デジタル位相比較器DPDでの位相ロックは位相差ゼロのときであるのに対し、アナログ位相比較器APDでの位相ロックは位相差が $\pm 90^\circ$ のときである。

【0067】

そのため、デジタル位相比較器DPDでループを位相ロックさせた後にアナログ位相比較器APDに切り替えたとしても、切り替え後に必ず位相が 90° ずれてアナログ位相比較器APDが位相ロック（再同期）することとなる。ただし、この再同期に要する時間は通常 $1\mu\text{sec}$ 以下であるのでほとんど問題はない。また、送信用発振器TxVCOの制御電圧が若干変動するおそれがある。従って、この再同期に要する時間やVCO制御電圧変動が気になるようなら、例えば図9に破線PSFで示すような箇所に位相を 90° シフトするための位相シフタを設けてデジタル位相比較器DPDに入力される基準信号SREF、 \angle SREFの位相を 90° ずらすようにしてやれば良い。

【0068】

これによって、図11に一点鎖線で示すように、デジタル位相比較器DPDの出力電流特性をずらしてデジタル位相比較器DPDでの位相ロックポイントとアナログ位相比較器APDでの位相ロックポイントとを一致させ、切替えの際の遅れや制御電圧の変動を防止することができる。なお、位相シフタを設ける箇所はデジタル位相比較器DPDの入力側でなくアナログ位相比較器APDの入力側であっても良い。

【0069】

次に、本実施例のポーラーループ方式の送信回路における振幅ループの構成とその作用について詳しく説明する。

本実施例では、前述したように、振幅ループの安定性およびノイズ抑制の向上と、振幅変調の精度およびスペクトルリグロースの向上とのトレードオフの観点から、振幅ループの開ループ周波数帯域を 1.8MHz の幅に設定するため、振幅ループ上のループフィルタLPF2として、容量C2、C3およびC3と直列に接続された抵抗R3とからなり図3に実線Aで示すような2つの極と1つの零点を有するフィルタが使用されている。

【0070】

このような低周波数域に1つの極と零点と高周波数域の1つの極を有する高次数のループフィルタLPF2を含む振幅ループでは精度の高い振幅制御が可能である一方、位相余裕

10

20

30

40

50

はオープンループゲインに依存する。そこで、この実施例では、ループフィルタLPF2と別個に、図13に示すように、ループ全体で極を1つか持たない負荷LPF3と、ループフィルタLPF2と負荷LPF3とを切替えるスイッチSW2とを設けている。精度の高い振幅制御が必要な場合にはスイッチSW2をフィルタLPF2側に切り替えてフィルタLPF2でループを動作させる。精度の高い振幅制御が不要である場合や特にループの安定性が必要な場合には、スイッチSW2を負荷LPF3側に切り替えて負荷LPF3でループを動作させ、位相余裕を大きくした状態にして、ループを安定化させることができる。

【0071】

その結果、製造ばらつきに伴うループゲインのばらつきを補正する際にこの負荷LPF3を使用することで位相余裕を大きくしてループを安定させ、キャリブレーションを行ない易くすることができる。それとは反対に、例えば8-PSK変調モードのように精度の高い振幅制御が必要な場合はループフィルタLPF2を使用することで変調精度を高めたり、スペクトラル・リグロスを向上させることができる。負荷LPF3が設けられた振幅ループには前述したように、可変利得増幅回路IVGAの次段に電流源IS1、IS2とループフィルタとしても機能する容量C4とからなるチャージポンプCGPが設けられているため、前記負荷LPF3を抵抗RT1のみで構成することができる。

【0072】

本実施例の高周波ICでは、ベースバンドLSI300からの出力制御電圧VRAMPに依りて振幅ループの可変利得増幅回路IVGA、MVGAの利得を制御するために負荷LPF3が使用され、パワーモジュール200へ供給される出力制御電圧VAPCが生成される。これにより、従来のGSMシステムで必要であった出力レベルを検出してパワーアンプ210の出力制御を行なうAPC回路を不要にすることができる。これは、GMSK変調モードで振幅ループを使用する場合、振幅変調が不要であるので8-PSK変調モードに比べて振幅ループの安定性が高い。

【0073】

一方、GMSKモードは、EDGEモードよりも高い出力パワーレンジ（GSMでは+33 dBm、DCSでは+30 dBm）をカバーしなければならない。高い出力レベルでは、受信帯のノイズも増幅される。そのため、ループ帯域は、8-PSK変調モードの振幅ループの帯域である前述の1.8 MHzよりも狭い、例えば200 kHzに設定されるのが望ましい。それにはループフィルタとして、低周波数の2つの極と高周波数の1つの極と1つの零点を有する前記フィルタLPF2よりも、極を1つか持たない負荷LPF3の方が適している。

【0074】

図12(A)及び(B)には、ループフィルタLPF2を使用した時の振幅ループのオープンループの周波数特性が示されている。このうち、図12(A)は振幅ループのゲイン特性を、また図12(B)は振幅ループの位相特性を示す。PM0~PM2は位相余裕である。位相余裕の減少は、振幅ループの安定性を損なわせるので、問題である。振幅ループのオープンループ・ゲインGAMOPは、可変利得増幅回路MVGAのゲインGMVGAが変動すると、その分だけ上下に変動する。このときループの位相は殆ど変化しないので、位相余裕はMVGAのゲイン変動が無いときの位相余裕PM0と比べ、PM1、PM2のように減少してしまう。

【0075】

本実施例では、フォワードパスの可変利得増幅回路IVGAのゲインGIVGAとフィードバックパス上の可変利得増幅回路MVGAのゲインGMVGAとの和（GIVGA+GMVGA）が、図5(A)に示すように一定になるよう、MGVAとIVGAを制御することで、この問題を解決している。つまり、パワーアンプの出力電力POUTを制御するために可変利得増幅回路MVGAのゲインを変える際、フィードバックパス上の可変利得増幅回路MVGAのゲインを増加（減少）した場合には、それと逆方向にフォワードパス上の可変利得増幅回路IVGAのゲインを減少（増加）させる。

【0076】

これによって、振幅ループのオープンループ特性を一定に維持し、位相余裕が減少するのを防止することができる。なお、可変利得増幅回路M V G Aは、例えば図6のような回路で構成されている場合、そのバイアス電流I E Eを指数関数的に変化させることにより、制御電圧V R A M Pに対してゲインをリニアに変化させるように制御することができる。

【0077】

一方、G M S K変調モードのように、振幅変調が不要な場合には、変調精度を高めるために振幅ループの周波数帯域を図12(A)のように広げる必要はないので、帯域を狭くすることでキャリア周波数から20MHz離れた受信信号の周波数帯でのノイズ抑制度を高くすることができる負荷L P F 3のような低次数のフィルタが適している。本実施例では、負荷L P F 3は図3に破線Bで示すような周波数特性を有し、振幅ループの開ループ周波数帯域が約200kHzとなるように抵抗R T 1の抵抗値が設定される。負荷L P F 3を用いた振幅ループでは低周波域に極が1つしかないため位相が90°以上回ることがないので、ループの安定性が保証される。

【0078】

従って、本実施例のように、ループフィルタL P F 2と別個に、低次数の負荷L P F 3と切替え用のスイッチS W 2とを設けることにより、G M S K変調モードの際にこの振幅ループを使用することでA P C回路を不要とすることができるとともに、G S Mシステムに本実施例の高周波I Cを使用することも可能である。スイッチS W 2はベースバンドL S I 300からのレジスタ170への設定状態に応じてシーケンサ180によって切替えが行なわれるようにされる。

【0079】

図13に示されているように、振幅検出回路150は、変調回路120からの基準信号S R E Fを波形整形するリミッタL M T 1と、該リミッタL M T 1で生成された方形波と基準信号S R E Fとを掛け算した信号を生成する乗算器M L T 1と、該乗算器M L T 1の出力により制御される電流源I S 10と、振幅ループからの帰還信号S F Bを波形整形するリミッタL M T 2と、該リミッタL M T 2で生成された方形波と帰還信号S F Bとを掛け算した信号を生成する乗算器M L T 2と、該乗算器M L T 2の出力により制御される電流源I S 20とから構成されている。そして、電流源I S 10とI S 20およびループフィルタL P F 2または負荷L P F 3とによりチャージポンプが構成され、基準信号S R E Fと帰還信号S F Bの振幅差に応じた電圧がループフィルタL P F 2または負荷L P F 3から可変利得増幅回路I V G Aへ供給される。

【0080】

図14には、振幅検出回路150のより具体的な回路例が示されている。乗算器M L T 1とM L T 2は、図9に示されているアナログ位相検出回路A D Pを構成する乗算器M L Tと同様な構成とされている。乗算器M L T 1、M L T 2の後段にはそれぞれカレントミラー回路と、これらのカレントミラー回路の電流を減算することで、基準信号S R E Fと帰還信号S F Bの振幅差に比例した電流I O U T 1、I O U T 2を電流出力端子O U T 1、O U T 2へ供給する電流減算回路C S B 1、C S B 2とが設けられている。電流減算回路C S B 1はループフィルタL P F 2用であり、電流減算回路C S B 2は負荷L P F 3用である。

【0081】

具体的には、トランジスタT r 17の電流をトランジスタT r 19 (T r 30)にコピーし、トランジスタT r 28の電流をトランジスタT r 24 (T r 34)にコピーして加算し、さらにカレントミラーでトランジスタT r 22 (T r 32)にコピーする。また、トランジスタT r 18の電流をトランジスタT r 21 (T r 31)にコピーし、トランジスタT r 27の電流をトランジスタT r 29 (T r 33)にコピーして加算する。この加算電流から前記カレントミラー・トランジスタT r 22 (T r 32)の電流を減算することで、基準信号S R E Fと帰還信号S F Bの振幅差に比例した電流I O U T 1 (I O U T 2)が電流出力端子O U T 1 (O U T 2)へ供給される。

10

20

30

40

50

【0082】

なお、電流減算回路CSB1のカレントミラー・トランジスタTr21と電流減算回路CSB2のカレントミラー・トランジスタTr31が、図13の電流源IS10に相当する。また、電流減算回路CSB1のカレントミラー・トランジスタTr22と電流減算回路CSB2のカレントミラー・トランジスタTr32が、図13の電流源IS20に相当する。

【0083】

このように、ループフィルタLPF2用と負荷LPF3用に別々の電流減算回路CSB1、CSB2と出力端子OUT1、OUT2を設けているのは、各フィルタを使用した時のループゲインをそれぞれ独立に最適化できるようにするためである。図14の実施例では、トランジスタTr17とTr19のエミッタサイズ比の設定によりフィルタLPF2を使用するときの必要ゲインを、またTr17とTr30のエミッタサイズ比の設定により負荷LPF3を使用するときの必要ゲインをそれぞれ最適化できる。また、回路の出力インピーダンスは、トランジスタTr19とTr30のエミッタ抵抗の値を調整することで最適化できる。

【0084】

図15には、ループフィルタLPF2および負荷LPF3とその周辺回路の具体例が示されている。図15において、符号P0は高周波IC100に設けられた外部端子であり、この外部端子P0にループフィルタLPF2を構成する容量C2、C3と抵抗R3とが接続されている。つまり、この実施例では、ループフィルタLPF2を構成する容量C2、C3と抵抗R3は外付け素子として接続されるようになっている。一方、負荷LPF3を構成する抵抗RT1は、高周波IC100のチップ上に内部素子として形成されている。現在のプロセス技術では容量を半導体チップ上に形成するとチップ面積が大きくなるので、上記のように外付け素子とすることにより、高周波IC100のチップサイズの増大を抑えることができる。

【0085】

ループフィルタLPF2と負荷LPF3を切り替えるスイッチSW2は、一對のオン／オフ・スイッチで構成されており、フィルタの選択信号TP1またはTP2により、フィルタまたは負荷のいずれかが振幅検出回路150の出力端子（図14の電流出力端子OUT1、OUT2）に接続される。スイッチSW21、SW22およびSW31、SW32はそれぞれリセットスイッチで、選択信号TP1、TP2の反転信号／TP1、／TP2により制御されて、フィルタLPF2、または負荷LPF3を使用しないときにオンされる。これにより内部ノードを接地電位に固定してフローティングになるのを防止する。また、各フィルタLPF2と負荷LPF3には、それぞれ選択信号TP1、TP2によってオン／オフされる電流源I21～I23、I31～I33が設けられており、切替えスイッチSW2により選択状態にされたフィルタ側の電流源が同時にオン状態にされる。

【0086】

前段の振幅検出回路150の電流源IS21～IS32からの出力電流の積分の結果、容量C2、C3や配線寄生容量等に発生された電圧により、各フィルタLPF2または負荷LPF3の出力エミッタフォロワ・トランジスタQ21、Q31が駆動されて、後段の利得可変増幅回路IVGAへの一方の入力端子に供給される信号が生成される。利得可変増幅回路IVGAへの他方の入力端子に供給される信号は、電流源I23（I33）とダイオードD21、D22（D31、D32）とからなるバイアス回路からのバイアス電圧（ダイオードの順方向電圧の2段分）によって出力エミッタフォロワ・トランジスタQ22（Q32）が駆動されて一定レベルの基準信号として生成される。負荷LPF3では、前段の電流源IS31、IS32の電流差に相当する出力電流IOUT2が抵抗RT1に流される。これにより、出力エミッタフォロワ・トランジスタQ31のベース電位は、他方のトランジスタQ32のベース電位よりもIOUT2・RT1だけ高い電位にバイアスされる。

【0087】

また、出力トランジスタQ21とQ22のベース端子間とQ31とQ32のベース端子間にはそれぞれスイッチSW20とSW30が設けられており、振幅検出回路150の出力を使用しないときはスイッチSW20とSW30をオンさせて、後段の利得可変増幅回路IVGAの差動入力電位差を「0」にするようになっている。スイッチSW20～SW22およびSW30～SW32はベースバンドLSI300からのレジスタ170への設定状態に応じてシーケンサ180によって制御される。

【0088】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例の説明では、振幅ループに8-PSK変調に最適な周波数帯域を与えるループフィルタLPF2の他にそれよりも周波数帯域が狭い特性を振幅ループに与える負荷LFP3を用意しておいて、要求制御精度に応じてスイッチでフィルタLPF2または負荷LFP3のいずれかに切り替えるようにしたが、システムを立ち上げる前に、出力制御電圧VRAMPに対する送信装置の出力パワーを更正するのに上記負荷LFP3を利用することができる。キャリブレーションのために出力パワーを測定する場合、ループが安定していないと正確な測定を行なうことができないが、上記のように振幅ループのループフィルタを切り替えてやればループが安定した状態で送信装置の出力パワーを測定できるという利点がある。

【0089】

また、上記実施例では、位相ループの周波数帯域を変調モードに応じて変えるためループフィルタLPF1に設けられているスイッチSW3を抵抗R2と接地点との間に設けているが、ループフィルタLPF1を構成する容量C1と抵抗R1との接続ノードと抵抗R2との間に設けても良い。また、抵抗を切り替える代わりに、容量を切り替えることで周波数帯域を変更するような構成とすることも可能である。

【0090】

以上、本発明を、GSM方式とDCS1800方式の2つの方式に従った通信が可能に構成されたデュアルバンド方式のシステムに適用した場合を説明したが、本発明は、GSM方式またはDCS方式のいずれか一方、またはこれらの方式に加えPCS(Personal Communications System)1900の方式に従った通信が可能に構成されたトリプルバンド方式のシステムに適用することができる。また、本発明に従うと、このようなシステムにおいて、GMSK変調モードと同様に8-PSK変調モードによる位相変調を伴う通信を行なえるようにすることができる。

【0091】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、位相変調と振幅変調を行なう機能を有し、送信波形の変調精度およびスペクトル・リグロスを向上させるとともに受信周波数帯へ及ぶノイズを十分に抑制することができる携帯電話器のような無線通信装置を提供することができる。

【0092】

また、位相制御ループと振幅制御ループの2つのフィードバックループを有するポーラーループ方式を採用したシステムにおいて、回路を構成する素子数を減らし、回路の占有面積ひいてはチップサイズを低減することができ、動作開始時に短時間に位相制御ループを安定させることができる。

さらに、ポーラーループ方式を採用したシステムにおいて、ループフィルタの特性によって、受信信号の周波数帯でのノイズ抑圧度が充分でなかったり、振幅制御ループの位相余裕が減少しループの安定性が低下したりするのを防止することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に従ったポーラーループ方式の送信装置の概略構成とそれを用

10

20

30

40

50

いた無線通信システムの構成例を示すブロック図である。

【図 2】図 1 の送信装置における位相ループのオープンゲイン特性を示すグラフである。

【図 3】図 1 の送信装置における振幅制御ループのオープンゲイン特性を示すグラフである。

【図 4】図 1 の送信装置におけるポーラーループのより詳細な構成例を示すブロック図である。

【図 5】図 5 (A) 及び (B) は、本発明に従ったポーラーループ方式の送信装置における出力制御電圧 V R A M P と出力パワーアンプおよび利得可変増幅回路のゲインとの関係、並びに出力制御電圧 V R A M P と出力パワーアンプの出力電力との関係を示すグラフである。

10

【図 6】本発明の実施例において使用する利得可変増幅回路の具体例を示す回路図である。

【図 7】従来の一般的なアナログ位相検出回路の具体例を示す回路図である。

【図 8】図 8 (A) 及び (B) は、図 7 のアナログ位相検出回路における入力信号の位相差と出力電流との関係を示すグラフである。

【図 9】本発明の実施例において使用する位相検出回路の具体例を示す回路図である。

【図 10】図 9 の位相検出回路における各信号のタイミングを示すタイミングチャートである。

【図 11】図 9 の位相検出回路における入力信号の位相差と出力電流との関係を示すグラフである。

20

【図 12】図 12 (A) 及び (B) は、図 1 の送信装置における振幅制御ループのオープンゲイン特性と位相特性を示すグラフである。

【図 13】図 1 の送信装置において振幅制御ループ上のループフィルタを負荷 L P F 3 に切り替えた場合のより詳細な振幅制御ループのより詳細な構成例を示すブロック図である。

【図 14】本発明の実施例において使用する振幅検出回路の具体例を示す回路図である。

【図 15】本発明の実施例において使用するループフィルタとその切替え回路の具体例を示す回路図である。

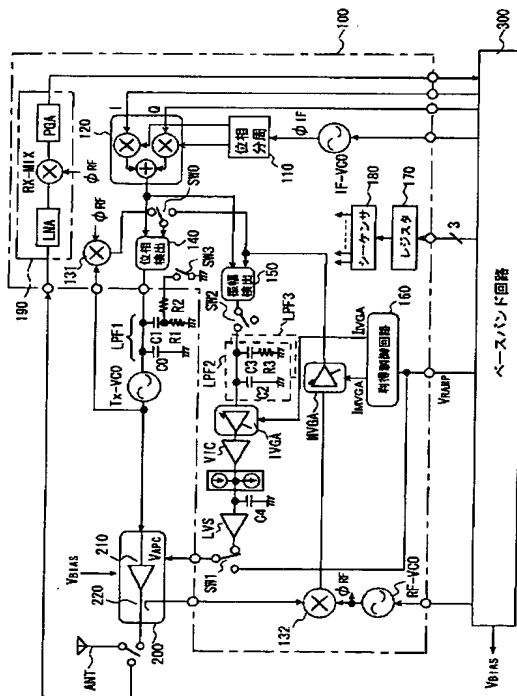
【符号の説明】

100	高周波 I C	30
110	位相分周回路	
120	直交変調回路	
131	ミクサ	
132	ミクサ	
140	位相検出回路	
150	振幅検出回路	
160	利得制御回路	
170	レジスタ	
180	シーケンサ	
190	受信系回路	40
200	パワーモジュール	
210	パワーアンプ	
220	カプラ	
230	電圧制御回路	
300	ベースバンド回路	
T x V C O	送信用発振器	
ϕ R F	高周波発振器からの発振信号	
ϕ I F	中間周波数の発振信号	
L P F 1	ループフィルタ	
I, Q	I / Q 信号	50

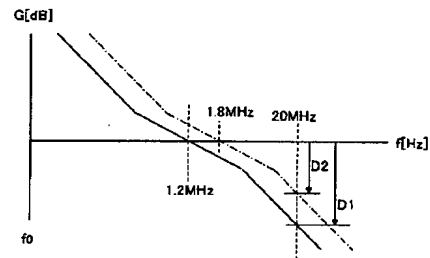
S R E F 基準信号
 S F B フィードバック信号
 C O ~ C 4 容量素子
 R 1 ~ R 3, R T 1 抵抗素子
 S W 0 ~ S W 3 スイッチ
 A P D アナログ位相比較器
 D P D デジタル位相比較器
 L V S レベルシフト回路
 R F - V C O 高周波発振器
 I F - V C O 発振器
 M V G A, I V G A 可変利得増幅回路
 V I C 電流電圧変換器

10

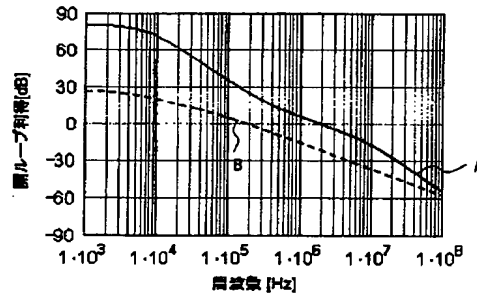
【図 1】



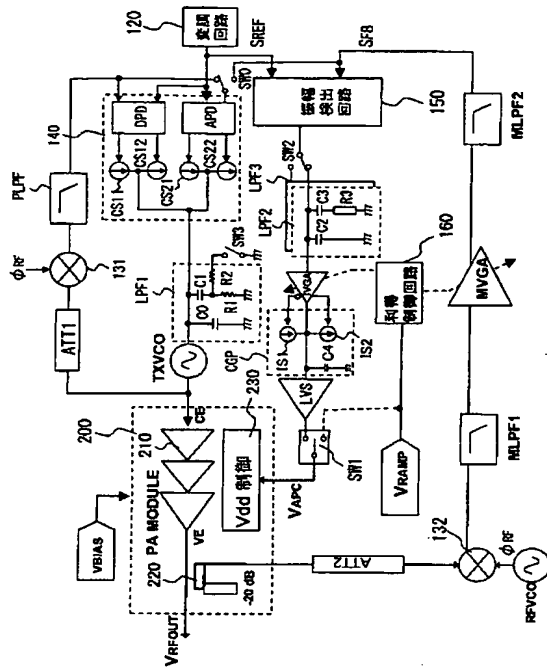
【図 2】



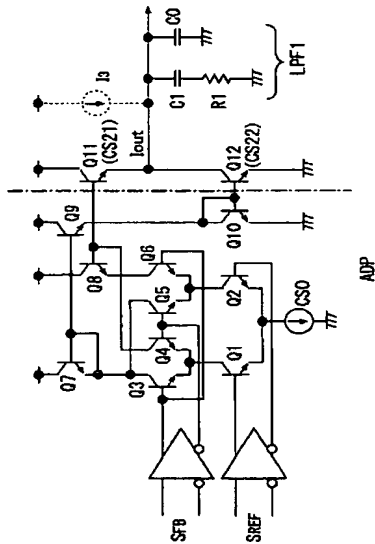
【図 3】



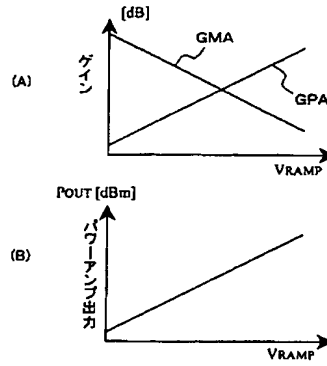
【図 4】



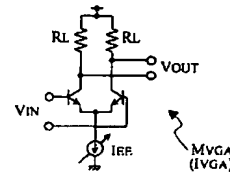
【図 7】



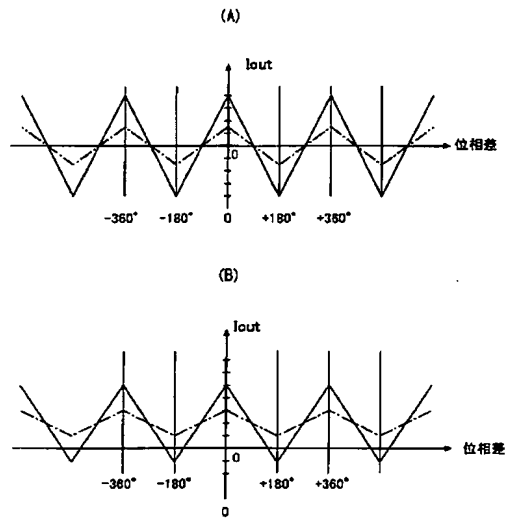
【図 5】



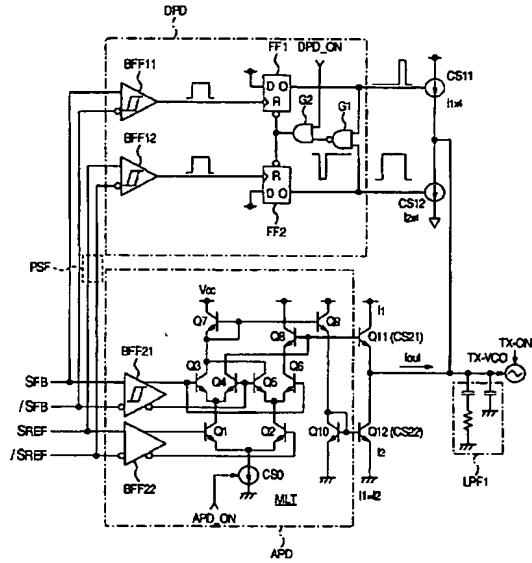
【図 6】



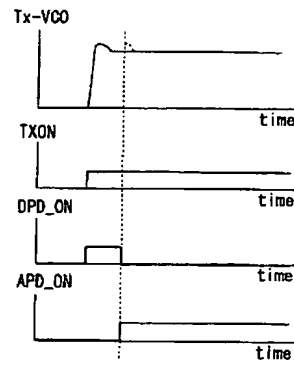
【図 8】



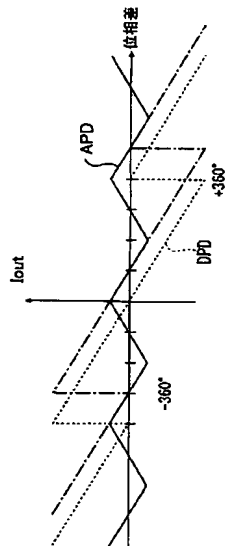
【図 9】



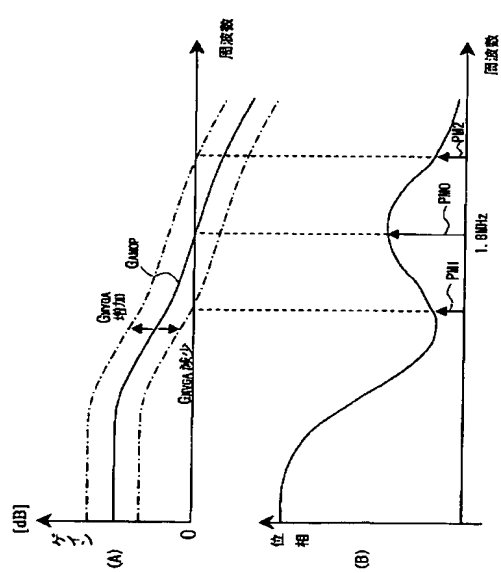
【図 10】



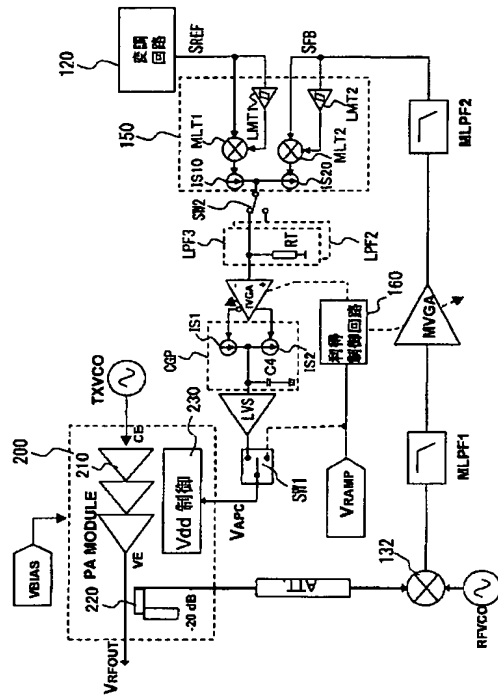
【図 11】



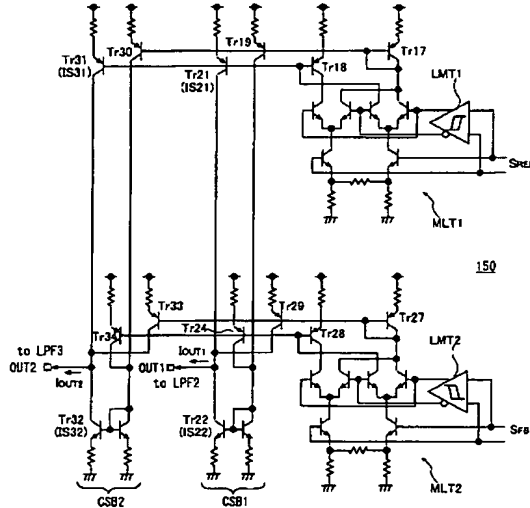
【図 12】



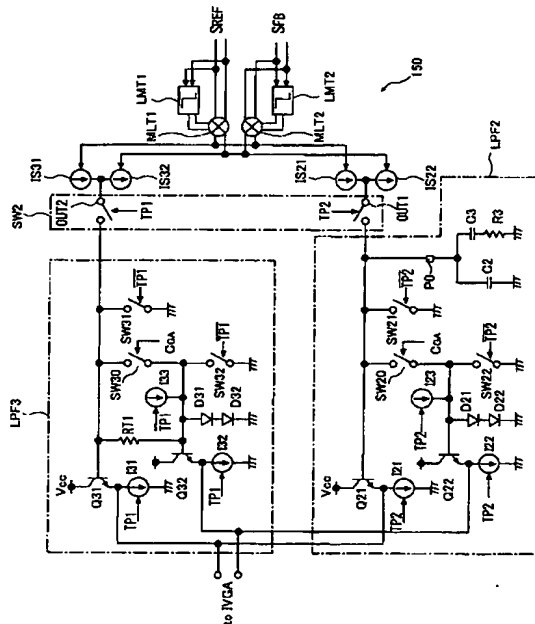
【 例 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(72)発明者 日笠 和彦

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 木村 泰之

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 萩沢 弘

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 パトリック・ワーム

イギリス国、ハートフォードシャー エスジー8 6イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンス パーク、ティーティーピー コム リミテッド内

(72)発明者 ロバート・アストル・ヘンシャウ

イギリス国、ハートフォードシャー エスジー8 6イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンス パーク、ティーティーピー コム リミテッド内

(72)発明者 ディビッド・フリーボロウ

イギリス国、ハートフォードシャー エスジー8 6イーイー、ロイストン、メルボルン、ケンブリッジ ロード、メルボルン サイエンス パーク、ティーティーピー コム リミテッド内

F ターム(参考) 5K004 AA03 AA05 DE00 FF00

5K060 BB07 BB08 CC04 CC11 DD04 EE04 FF01 FF06 HH01 HH02

HH03 HH06 HH11 HH16 HH26 HH27 HH28 HH29 JJ02 JJ04

JJ08 JJ23 KK01 KK08 LL01 LL24 LL30